

# Arquitecturas de Cache On-chip para multiprocesadores

## Objetivos:

Este curso se enfocará en describir las alternativas de diseño y tendencias actuales para jerarquía de memorias On-Chip y multiprocesadores On-Chip. El curso mostrará diferentes opciones para la arquitectura de caches On-Chip, y cuál es el enfoque utilizado en los sistemas actuales.

A partir de ésto, se describirán los mecanismos necesarios para mantener su contenido coherente.

Finalmente, se introducirán técnicas para conectar los varios componentes del cache On-Chip.

## Programa:

### Unit 1: Introducción al curso

- Evolución y panorama actual de multiprocesadores On-Chip

### Unit 2: Modelos de consistencia y coherencia

- Introducción a la consistencia y coherencia

- Conceptos Básicos de Coherencia

- Motivación de Consistencia de Memoria y Consistencia Secuencial

- Orden Total de Almacenamiento y el Modelo de Memoria x86

- Protocolos de Coherencia

- Protocolo de Coherencia de Snooping

- Protocolo de Coherencia de Directorio

- Coherencia Híbrida: El caso de Flask y Protocolos de Coherencia Arcoiris

### Unit 3: Arquitecturas de Jerarquías de cache On-Chip para CMP

- Elementos Básicos del Diseño de Gran Cache

- Organizando Datos de Caches de Último Nivel en CMP

- Políticas que Impactan la Tasa de Aciertos de Cache

- Caches Distribuidos: el caso de ESP-NUCA

### Unit 4: Redes de interconexión On-Chip para sistemas coherentes

- Interfaz de Red con Arquitectura de Sistema,

- Topología

- Ruteo

- Control de Flujos

- Microarquitectura de Router: el caso LIGERO

### Unit 5: Estudios de Caso (2h)

- Intel Skylake

- AMD Zen